

## ⑫ 公開特許公報(A)

昭62-230028

⑤ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)10月8日

H 01 L 21/60

6918-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体集積回路

⑮ 特 願 昭61-74901

⑯ 出 願 昭61(1986)3月31日

⑰ 発 明 者 安 木 宏 行 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

## 明 細 書

## 1. 発明の名称

半導体集積回路

## 2. 特許請求の範囲

半導体チップ上の周辺部に設けられる複数の入出力パッドと、該入出力パッドと接続する入出力バッファセルとを具備する半導体集積回路において、複数の入出力バッファセルを該入出力バッファセルと入出力パッドとの間でパラレルに接続したあと少なくとも一つの入出力パッドに接続することを特徴とする半導体集積回路。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体集積回路に係り、特に出力駆動能力を高めた半導体集積回路に関する。

〔従来の技術〕

オフィスコンピュータ、端末周辺装置、制御装

置、計測装置等へのLSIの普及は目ざましい。一般ユーザのニーズに対応した新製品を少しでもはやく開発し市場へ投入するために、LSIの開発期間の短縮が必要であり、またユーザのニーズが多様化しているため、使用されるLSIも多品種・少量生産の傾向が強くなっている。これらの要求にマッチした半導体集積回路にゲートアレイがあり、ゲートアレイによるセミ・カスタム化が進んだ。

ゲートアレイ方式の半導体集積回路というのは半導体チップにゲートと呼ばれる基本素子があらかじめアレイ状に配置されている。これはマスタースライスと呼ばれており、各品種ごとにこれらのゲートを自由に組み合わせることにより所望の回路構成を行う。それには最新のCADシステムにより前記各ゲート間の配線接続を行うマスクパターンを作成し写真食刻法により回路配線を行い所望の回路機能を有する半導体集積回路を完成させるものである。

第3図は、ゲートアレイ方式の半導体集積回路

の略図を示す一例である。第3図は半導体チップ31、入出力パッド32、各入出力パッドと接続されている入出力バッファセル33、内部論理セル34で構成されている。ここで外部信号線との接続部である入出力パッド32について簡単に説明する。

第4図は入出力パッドとリードフレームとの接続図である。第4図において半導体チップ41の入出力パッド42はリードフレーム43とボンディングワイヤ44で接続される。

次に第3図において入出力バッファセル33についてその機能を説明する。入出力バッファセルは入力バッファと出力バッファを含み、入力バッファは、半導体集積回路の外部から来る信号を半導体内部のレベル信号に変換するインターフェイス回路であり、出力バッファは、半導体集積回路の内部信号を受けて外部信号レベルに変換するためのインターフェイス回路である。出力バッファは外部負荷を直接駆動するために内部ゲートに比べて高い駆動能力を持っている。このように出

力バッファは高い駆動能力を持っているけれどもユーザ使用条件によっては一つの出力バッファで負荷を駆動できないことがある。この場合入出力バッファセルをパラレル接続させることにより、より駆動能力を上げることができる。

これを実現させる方法としては、第2図に示すようにそれぞれの入出力バッファセル23、23'の出力をそれぞれ対応する出力パッド22、22'に個別に接続し、その後入出力パッド部分を配線24によりショートさせる方法がとられていた。

しかしゲートアレイ等では各品種ごとに信号ピンの数が違いウェハー段階における探針測定用プローブ・カードは電源位置が異ならないかぎり共通化してあり、すべての入出力パッドにプローブ・カードの針が当たる。このため信号ピンとして使用されない入出力パッドにも前記プローブ・カードの針跡が付く。これが前述した出力パラレル接続では、第4図のA部分に示すように一方の入出力パッドしかボンディングされないため一方のパッド部には探針測定時の針跡が残ったままとなる。

#### 〔発明が解決しようとする問題点〕

半導体集積回路の信頼性を確認するべく、環境試験、加速試験を行った場合、チップ上の保護膜でカバーされている部分に比べ入出力パッド部分は、電極金属が露出しているために、水分等の侵入を受けやすく集積回路の故障の原因となる。

上述した従来の半導体集積回路における出力パラレル接続では、入出力パッドが保護膜でカバーされていない上に、探針測定時の針跡が残っているため水分等により入出力パッドと入出力バッファセルとを接続する配線の断線や、不所望な電位とのショート等の故障が起こりやすいという欠点がある。

本発明の目的は、上記の点に鑑みてなされたものであり、出力の駆動能力を上げて信頼度の低下のない半導体集積回路を提供することにある。

#### 〔問題点を解決するための手段〕

本発明の半導体集積回路は、半導体チップ上の周辺部に設けられる複数の入出力パッドと、該入出力バッファセルとを具備する半導体集積回路に

おいて、複数の入出力バッファセルを該出力バッファセルと入出力パッドとの間でパラレルに接続したあと少なくとも一つの入出力パッドに信号を取り出すことを特徴とする。

#### 〔実施例〕

本発明の実施例について、図面を用いて説明する。

第1図はゲートアレイ方式からなる半導体集積回路の一部を示す図で、半導体チップ1上の周辺部に設けられた入出力パッド2、2'の内側に、入出力パッド2、2'に対応して入出力バッファセル3、3'が設けられている。ユーザでの使用条件により、一つの出力バッファセルで負荷を駆動できない場合、第1図に示すように入出力バッファセルと入出力パッドとの間で配線4により入出力バッファセル3、3'をパラレルに接続させた後、その信号を一つの入出力パッド2に取り出す。

#### 〔発明の効果〕

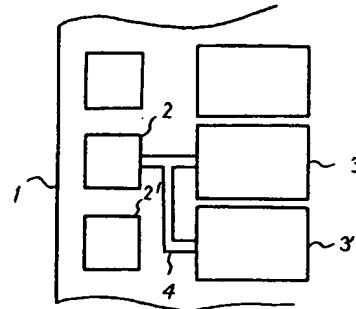
以上述べたように本発明によれば、出力バッファセルの出力部をパラレルに接続し、入出力パ

ドへは一方しか接続しないようにする。これにより保護膜でカバーされていない上に、探針測定時の針跡が残っている入出力パッドまで信号が来ることがなくなり、水分等の侵入を受け易くとも機能不良を起こすことがなくなり、より信頼性を上げることができる効果がある。

#### 4. 図面の簡単な説明

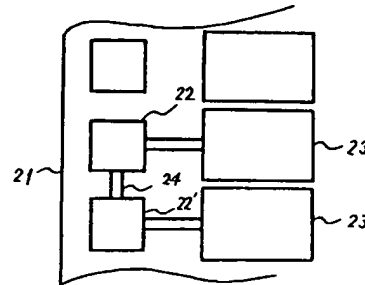
第1図は本発明の一実施例の一部平面図、第2図は従来の出力パラレル接続を示す一部平面図、第3図はマスタースライス方式半導体集積回路の概略を示すチップ平面図、第4図はリードフレームとの入出力パッドとの接続を示す平面図。

1, 21, 31, 41……半導体チップ、2, 2', 22, 22', 32, 42……入出力パッド、3, 3', 23, 23', 33……入出力パッドファセル、4, 24……配線、43……リードフレーム、44……ボンディングパッド。



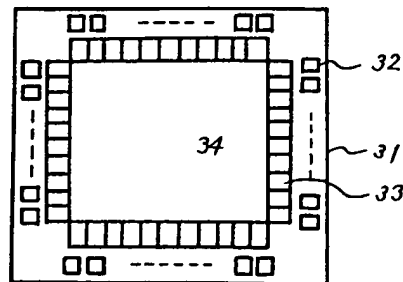
第1図

1: 半導体チップ  
2, 2': 外部入出力パッド  
3, 3': 入出力パッドファセル  
4: 配線

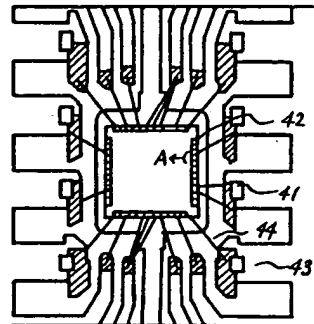


第2図

代理人 弁理士 内 原 晋



第3図



第4図

PAT-NO: JP362230028A  
DOCUMENT-IDENTIFIER: JP 62230028 A  
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT  
PUBN-DATE: October 8, 1987

INVENTOR-INFORMATION:  
NAME  
YASUKI, HIROYUKI .

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
NEC CORP N/A

APPL-NO: JP61074901  
APPL-DATE: March 31, 1986

INT-CL (IPC): H01L021/60  
US-CL-CURRENT: 257/786

ABSTRACT:

PURPOSE: To prevent the decline of reliability even when a driving ability of output is enhanced by picking up signals to a one input and output pad after connecting plural input and output buffer cells in parallel between output buffer cells and an input and output pad.

CONSTITUTION: Inside input and output pads 2 and 2' arranged in an end part of a semiconductor chip 1, input and output buffer cells 3 and 3' corresponding to said input and output pads 2 and 2' and arranged. If loading can not be driven by a one output buffer cell according to use

conditions of a user, the  
input and output buffer cells 3 and 3' are connected in  
parallel between the  
input and output buffer cells and an input and output pad  
by a wiring 4, after  
which signals of those cells are pick up to one input and  
output pad 2.  
Consequently, signals do not come to an input and output  
pad which is not  
covered with a protective film and on which a mark of a  
probe during probe  
measurement remains. Even if water contents are apt to  
permeate, a function  
failure does not occur and reliability can be improved.

COPYRIGHT: (C)1987,JPO&Japio